

10/02/09 09:42:07
J1032 U.S.P.T.O.
Barcode

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 4月 6日

出願番号
Application Number:

特願2000-104619

出願人
Applicant(s):

コニカ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月 26日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願
【整理番号】 DIJ02206
【提出日】 平成12年 4月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H04N 1/00
【発明の名称】 クロック発生装置、基板および画像形成装置ならびにクロック発生方法
【請求項の数】 10
【発明者】
【住所又は居所】 東京都八王子市石川町2970番地 コニカ株式会社内
【氏名】 高木 幸一
【発明者】
【住所又は居所】 東京都八王子市石川町2970番地 コニカ株式会社内
【氏名】 芳野 剛
【特許出願人】
【識別番号】 000001270
【氏名又は名称】 コニカ株式会社
【代理人】
【識別番号】 100085187
【弁理士】
【氏名又は名称】 井島 藤治
【選任した代理人】
【識別番号】 100090424
【弁理士】
【氏名又は名称】 鮫島 信重
【手数料の表示】
【予納台帳番号】 009542
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004575

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック発生装置、基板および画像形成装置ならびにクロック発生方法

【特許請求の範囲】

【請求項1】 位相の異なる複数のクロックを生成するクロック生成部と、前記複数のクロックのうちから何れかのクロックを選択して出力するとともに、出力されるクロックの所定の期間内に、異なる位相もしくは周期のクロックへ切り換えて出力するセレクト部と、
を有することを特徴とするクロック発生装置。

【請求項2】 位相の異なる複数のクロックを生成するクロック生成部と、前記複数のクロックのうちから何れかのクロックを選択して出力するセレクト部と、
前記セレクト部から出力されるクロックの所定の期間内に、異なる位相もしくは周期のクロックを選択するかを判断する切替制御部と、
を有することを特徴とするクロック発生装置。

【請求項3】 位相の異なる複数のクロックを生成するクロック生成部と、選択信号に基づいて前記複数のクロックのうちから何れかのクロックを選択して出力するセレクト部と、
前記セレクト部から出力されるクロックの所定の期間内に、異なる位相もしくは周期のクロックを選択するための選択信号を前記セレクト部へ出力する切替制御部と、
を有することを特徴とするクロック発生装置。

【請求項4】 前記切替制御部は、予め設定されている出力クロック情報に基づいて、複数のクロックのうち何れのクロックを選択するかを示す選択信号を生成して前記セレクト部へ出力する、
ことを特徴とする請求項3記載のクロック発生装置。

【請求項5】 前記出力クロック情報は、予め記憶部に記憶されている、または、演算回路により設定されている、
ことを特徴とする請求項4記載のクロック発生装置。

【請求項6】 集積回路で構成されることを特徴とする請求項1乃至請求項5のいずれかに記載のクロック発生装置。

【請求項7】 デジタル回路で構成されることを特徴とする請求項6記載のクロック発生装置。

【請求項8】 請求項1乃至請求項7のいずれか1つのクロック発生装置が設けられたことを特徴とする基板。

【請求項9】 請求項1乃至請求項7のいずれか1つのクロック発生装置から出力されるクロックが使用され、画像の所定の領域内では他の領域と異なる位相もしくは周期のクロックが使用される、
ことを特徴とする画像形成装置。

【請求項10】 位相の異なる複数のクロックを生成し、これら複数のクロックのうちから何れかのクロックを選択して出力するとともに、出力されるクロックの所定の期間内に、異なる位相もしくは周期のクロックへ切り換えて出力する、
を有することを特徴とするクロック発生方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明はクロック発生装置、基板および画像形成装置ならびにクロック発生方法に関し、さらに詳しくは、任意の時間でクロックパルスの周期または位相を制御することに関する。

【0002】

【従来の技術】

各種ディジタル回路において、回路動作のためにクロックを必要としている。このクロックは、各種方式のクロック発生回路によって生成されている。

【0003】

従来から存在しているクロック発生回路では、クロックの周期（周波数）は一定であり、立ち上がり・立ち下がりの位置は固定された状態になっていた。

また、クロックの周期を一定とするのではなく、時刻に伴って変化させる（周

波数変調する) ものとして、PLL回路によってクロックを周波数変調するICが市販されている。

【0004】

また、VCXO(外部電圧制御型水晶発振器)やDDS(ディジタルダイレクトシンセサイザ)などを用いてクロックの周波数(周期)を微妙に変更することは可能である。

【0005】

【発明が解決しようとする課題】

しかし、以上述べたようなクロックを周波数変調するIC, VCXO, DDSでクロックの周期や周波数を変更する場合には、最初から最後まで周期や周波数を変更する、あるいは変更しないといった状態で動作させるものであり、ある時間だけ周期や周波数を変更する機能は有していない。なお、ある時間だけ周期や周波数を変更するための制御回路を外付けすることは可能であるが、クロック発生回路全体として1チップの集積回路に納めることはできなくなる。

【0006】

本発明は、上記の課題を解決するためになされたものであって、その目的は、任意の時間でクロックパルスの周期または位相を制御することが可能であってクロック発生回路全体を1チップの集積回路にすることが可能なクロック発生装置、基板および画像形成装置ならびにクロック発生方法を提供することにある。

【0007】

【課題を解決するための手段】

上述した課題は以下の手段により解決することができる。

(1) 請求項1記載の発明は、位相の異なる複数のクロックを生成するクロック生成部と、前記複数のクロックのうちから何れかのクロックを選択して出力するとともに、出力されるクロックの所定の期間内に、異なる位相もしくは周期のクロックへ切り換えて出力するセレクト部と、を有することを特徴とするクロック発生装置である。

【0008】

(2) 請求項2記載の発明は、位相の異なる複数のクロックを生成するクロック

ク生成部と、前記複数のクロックのうちから何れかのクロックを選択して出力するセレクト部と、前記セレクト部から出力されるクロックの所定の期間内に、異なる位相もしくは周期のクロックを選択するかを判断する切替制御部と、を有することを特徴とするクロック発生装置である。

【0009】

(3) 請求項3記載の発明は、位相の異なる複数のクロックを生成するクロック生成部と、選択信号に基づいて前記複数のクロックのうちから何れかのクロックを選択して出力するセレクト部と、前記セレクト部から出力されるクロックの所定の期間内に、異なる位相もしくは周期のクロックを選択するための選択信号を前記セレクト部へ出力する切替制御部と、を有することを特徴とするクロック発生装置である。

【0010】

(4) 請求項4記載の発明は、前記切替制御部は、予め設定されている出力クロック情報に基づいて、複数のクロックのうち何れのクロックを選択するかを示す選択信号を生成して前記セレクト部へ出力する、ことを特徴とする請求項3記載のクロック発生装置である。

【0011】

(5) 請求項5記載の発明は、前記出力クロック情報は、予め記憶部に記憶されている、または、演算回路により設定されている、ことを特徴とする請求項4記載のクロック発生装置である。

【0012】

(6) 請求項6記載の発明は、集積回路で構成されることを特徴とする請求項1乃至請求項5のいずれかに記載のクロック発生装置である。

(7) 請求項7記載の発明は、デジタル回路で構成されることを特徴とする請求項6記載のクロック発生装置である。

【0013】

(8) 請求項8記載の発明は、請求項1乃至請求項7のいずれか1つのクロック発生装置が設けられたことを特徴とする基板である。

(9) 請求項9記載の発明は、請求項1乃至請求項7のいずれか1つのクロック

ク発生装置から出力されるクロックが使用され、画像の所定の領域内では他の領域と異なる位相もしくは周期のクロックが使用される、ことを特徴とする画像形成装置である。

【0014】

(10) 請求項10記載の発明は、位相の異なる複数のクロックを生成し、これら複数のクロックのうちから何れかのクロックを選択して出力するとともに、出力されるクロックの所定の期間内に、異なる位相もしくは周期のクロックへ切り換えて出力する、を有することを特徴とするクロック発生方法である。

【0015】

【発明の実施の形態】

以下、図面を参照して、本発明の画像形成装置およびクロック発生装置の実施の形態例を詳細に説明する。

【0016】

〈クロック発生装置の全体構成〉

以下、本発明のクロック発生装置の実施の形態例を詳細に説明する。

この図1において、CPU401はクロック発生装置全体を制御する制御手段として動作している。なお、このCPU401が、クロックの所定の期間内に、何れのクロックを選択するかを判断する手段を構成している。

【0017】

基準クロック発生部410は基準となるクロック（基準クロック：図1①）を生成して、各部に供給している。

クロック生成部としてのディレイチェーン部420は入力信号（基準クロック発生部410からの基準クロック）を遅延させて位相が少しずつ異なる複数の遅延クロック（複数のクロック：図1②、図2参照）を得るための、本発明の請求項におけるクロック生成部を構成するディレイ素子群である。

【0018】

ここで、ディレイチェーン部420は、位相が少しずつ異なる遅延クロックについて、基準クロックの2周期分にわたって生成できる段数になるようにチェーン状にディレイ素子が継続接続されていることが好ましい。なお、ここではディ

レイ素子を用いて遅延クロックを生成したが、ディレイ素子を用いずに位相の異なる複数のクロックを生成できるクロック生成部を設けるようにしてもよい。

【0019】

なお、基準クロック発生部410は、個々のクロック発生装置にそれぞれ内蔵されていてもよいが、単一の基準クロック発生部410からそれぞれのクロック発生装置や基板に基準クロックを分配してもよい。

【0020】

同期信号検出部430は、複数のクロック（図1②）の中で基準クロック（所望の入力信号の先端位置）に同期している遅延クロックの段数（同期ポイント）を検出する同期検出手段であり、同期情報（図1③）を出力する。なお、この同期情報を位相差状態と呼ぶこともでき、この位相差状態は同期ポイントや位相差そのものの状態を含む。

【0021】

ここで、同期信号検出部430は、複数のクロック（図1②）の中で、最初に基準クロックに同期している第1同期ポイント情報V1stと、2番目に基準クロックに同期している第2同期ポイント情報V2ndと、それらの間の遅延段数Vprdを出力できることが好ましい。図2に示す例では、第1同期ポイント情報V1st=20、第2同期ポイント情報V2nd=50、遅延段数Vprd=30、となっている。

【0022】

切替制御部440は、基準クロック発生部410からの基準クロック（図1①）と、同期信号検出部430からの同期ポイント情報（図1③）と、CPU401からのシフト情報（請求項における「出力クロック情報」：図1④）と制御カウンタ450からの領域情報（図1⑥）とをもとにして、所望の時間にクロックの立ち上がりと立ち下がりを生じさせるために、複数のクロック（図1②）の中からどの位相のクロックを選択すべきかのセレクト段数情報（請求項における「選択信号」：図1⑦）を出力する。

【0023】

なお制御カウンタ450は、CPU401からの領域データ（図1⑤：開始領

域データと終了領域データ)を受けて、異なる位相もしくは周期のクロックへ切り換える領域を示す領域情報(図1⑥)を生成している。

【0024】

また、以上の切替制御部440の構成は図3のようになっている。すなわち、基準クロックや有効期間信号(H_VALID、V_VALID)を受けてカウンタデータを生成する切り替えカウンタ部441と、このカウンタデータ、CP_U401からのシフト情報、同期信号検出部430からの同期ポイント情報(V1st, V2nd, Vprd)を受けてセレクト段数情報(Fsync)を生成するセレクト信号演算部442とから構成されている。

【0025】

セレクト部460は、切替制御部440からのセレクト段数情報(図1⑦)を受け、複数のクロック(図1②)の中から、所定の期間内に通常とは異なる位相もしくは周期のクロックへ切り換えて出力する状態になるようにクロックを選択あるいは合成し、ディザリング・クロック(図1⑧)として出力する選択手段である。

【0026】

なお、本願明細書において、出力するクロックの立ち上がり、立ち下がり、周期、周波数、位相のいずれかを変更することで、クロックの周波数を変更して周波数変調と同様な効果を得ることを「クロック・ディザリング」と呼ぶ。また、このクロック・ディザリングによって得られたクロックを、「ディザリング・クロック」と呼ぶことにする。

【0027】

〈クロック発生装置の動作概要〉

本実施の形態例のクロック発生装置では、制御カウンタ450からの領域情報(図1⑥)により、所定の期間内に通常とは異なる位相もしくは周期のクロックへ切り換えて出力する状態にすることができる。

【0028】

たとえば、図4は画像形成装置によって形成される画像領域を模式的に示しており、さらに、その画像領域内のクロックの種別を模式的に示している。

①図4 (a) に示すように大部分のA領域では通常クロックを生成し、B領域では通常クロックとは位相・周期・周波数のいずれかが異なるクロックを生成する。たとえば、A領域には文字画像、B領域には写真画像が存在する場合、B領域の解像度をアップさせるために周波数の高いクロックを使用するといった使い方が考えられる。

【0029】

②図4 (b) に示すように小さい部分のA領域では通常クロックを生成し、大きい部分のB領域では通常クロックとは位相・周期・周波数のいずれかが異なるクロックを生成する。たとえば、A領域には写真画像、B領域には文字画像が存在する場合、A領域では通常クロックにより画像を形成し、B領域の文字画像ではEMI対策として周波数や位相が時刻に応じて刻々と変化するディザリング・クロックを使用するといった使い方が考えられる。この場合、ディザリング・クロックによって写真画像が乱れることを防止しつつ、全体としてはディザリング・クロックによりEMI対策を講じることができる。

【0030】

なお、以上の①と②において、通常クロックとディザリング・クロックとを切り替える領域の位置や個数や大きさは、ここに示したものに限定されるものではない。

【0031】

<クロック発生装置の基本動作①：通常クロック>

光学的構成：

本実施の形態例のクロック発生装置を適用可能な画像形成装置における光学書き込み部の構成は、図5のようになっている。すなわち、回路部480で生成された信号に基づいて、LD470が発光する。そして、LD470からのレーザビームは、コリメータレンズ491、シリンドリカルレンズ492を通った後にポリゴンミラー493で走査され、fθレンズ494、シリンドリカルレンズ495を通して像担持体1に書き込まれる。なお、ポリゴンミラーで走査されたレーザビームの一部はインデックスセンサ412に導かれて、タイミングが検出される。

【0032】

ずれ検出の原理：

ここで、図6を参照してずれ検出の様子について簡単に説明する。画像形成装置の露光ユニットにより所定のパターン（ここでは、「フ」字状のパターン）の画像を、像担持体上の主走査方向先端側に形成する。像担持体上には実線で示すパターンが形成されているが、本来は破線で示す基準パターンが形成される予定であったとする。

【0033】

ここでは、露光ユニットや各光学系の収差などにより、主走査方向に d_x のずれが発生している。この場合に、像担持体を副走査方向に移動させつつ、パターンを読み取れる位置に配置されたインデックスセンサ412（図5参照）で読み取りを行うことで、「フ」字状のパターンの横線から斜線までの距離 Y' に相当する読み取り時間が得られる。

【0034】

像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差とにより、 d_y を求めることもできる。つぎに、横線と斜線とがなす角度を θ とすると、 $d_x = d_y / \tan \theta$ で、主走査方向のずれ d_x も求められる。

【0035】

したがって、Y, M, C, Kの各色について、このような所定のパターンの形成と読み取りとを行うことで、主走査方向の先端の画像のずれ状態（画像先端ずれ情報）を検出することが可能になる。

【0036】

また、同一副走査位置であって、主走査方向先端側と主走査方向末端側とに同じ形状の「フ」字状のパターンを形成し、その間隔を測定することによって主走査方向の画像の伸び縮みに関するずれ状態（周波数ずれ情報）を検出することができる。

【0037】

そして、CPU401が以上のような検出処理を行って、画像先端ずれ情報および周波数ずれ情報から出力クロック情報（図1④）を生成し、切替制御部44

0に供給する。

【0038】

通常クロックの生成：

まず、図7のタイムチャートを参照し、画像形成装置のある特定の1色について、出力クロック情報（図1④）を参照して、1パルス毎に位相の異なる遅延クロックを順次シフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるように調整する動作（通常クロックの生成動作）について説明する。

【0039】

図6で述べた所定パターンの形成と読み取りとによって検出された出力クロック情報（ずれERを示すずれ情報、基準クロックの周波数から求められるクロック周期TCのクロック周期情報、主走査方向に形成すべき画素数PHを示す1ライン画素数情報）が、CPU401から切替制御部440内の補正量演算手段に与えられる。また、同期信号検出部430からの第1同期ポイント情報V1stと第2同期ポイント情報V2ndとから、遅延段数Vprdを求める。

【0040】

ここで切替制御部440内の補正量演算手段は、以下に示す式に基づいて、補正量に対応する補正カウント値（カウントロードデータ）CCを求める。

$$CC = PH \times (Vprd / TC) / ER \quad \dots ①$$

この補正カウント値CCは、切替制御部440内の切替カウンタ部441がパルス数をカウントダウンして切替を行うためのものである。したがって、補正量が大きいほど切替のための補正カウント値CCは小さくなる。

【0041】

また、同期信号検出部430はインデックスセンサ412からのインデックス信号の立ち上がりを参照して、このインデックス信号の立ち上がりに同期した遅延クロックが得られるディレイチェーン部420の段番号を同期ポイント情報として求める。

【0042】

ここでは、第1同期ポイント情報V1stとして20が、第2同期ポイント情報

V2ndとして50が得られたとする。なお、この場合には、上述した遅延段数V_P_{rd}は30になる。

【0043】

ここで、露光ユニットのレーザビームの走査により、インデックスセンサがレーザビームを検出したタイミングでインデックス信号を発生する（図7（a）①）。この後、水平方向の有効領域を示すH_VALIDがアクティブになる。

【0044】

そして、切替制御部440内の切替カウンタ部441は前記補正カウント値C_Cを基準クロックに従ってカウントダウンすることを繰り返し続ける。そして、カウントダウンによりカウント値が0になる毎に切替制御部440内のセレクト信号演算部442にカウントデータを割り込みとして与える（図7（d）～（f））。

【0045】

また、CPU401はズレ方向情報を切替制御部440内のセレクト信号演算部に与えており、主走査方向に伸びたずれに対しては縮める補正を行うための「-補正」、主走査方向に縮んだずれに対しては伸ばす補正を行うための「+補正」の情報を与える。ここでは、「-補正」の場合を例にする。

【0046】

前述した所定パターンの形成とその測定により、ズレ情報E_Rおよびズレ方向情報が求められているとする。ここでは、E_R=6ns、ズレ方向情報=「-補正」であり、すなわち、画像が伸びていたために縮ませるように補正することを示していたと仮定する。

【0047】

まず、同期信号検出部430がインデックスセンサ412からのインデックス信号の立ち上がりを参照して、第1同期ポイント情報V1st及び第2同期ポイント情報V2ndを求める。

【0048】

前記第1同期ポイント情報V1stはインデックス信号の立ち上がりに同期したディレイチェーン部420のディレイ素子の段番号を示しており、前記第2同期

ポイント情報V2ndは前記第1同期ポイント情報V1stから基準クロック1周期分遅れたディレイチェーン部420のディレイ素子の段番号を示している。

【0049】

ここでは、V1st=20, V2nd=50であったとする。なお、この様子は図2に示した状態である。ここでは、20段目のDL20(図2(c))と、このDL20からクロック1周期分遅れた50段目のDL50(図2(m))とが、インデックス信号の立ち上がり(図2(a))に同期している状態を示している。

【0050】

つぎに、前記第1同期ポイント情報V1stと第2同期ポイント情報V2ndから、遅延段数Vprdを求める。ここで、前記遅延段数Vprdは、基準クロック1周期分の時間が何段のディレイ素子の遅延時間に相当するかを示している。本実施の形態例では、遅延段数Vprd=V2nd-V1stより、Vprd=30となる。

【0051】

また、1段あたりのディレイ素子の遅延時間DTを、前記Vprd及び基準クロックの周期から求める。たとえば、基準クロック周期TCが30nsであった場合はVprd=30であるので、DT=TC/VprdよりDT=1nsとなる。

【0052】

そして、適正な画像信号を得るために最終的にディレイチェーン部420のディレイ素子何段分ずらすかを示す切替段数NCを、ずれ情報ER、ずれ方向情報及び遅延時間DTから求める。ここでは、ER=6ns、ずれ方向情報=「-補正」、DT=1nsより、切替段数NC=-6となる。

【0053】

以上の切替段数NCより、適正な画像信号を得るために最終的にディレイ素子の段数を6段分進めればよい。すなわち、インデックス信号の立ち上がりに同期して最初は50段目のディレイ素子からのクロックを採用し、その後セレクト段数情報に同期して1走査ライン中において、49段目、48段目、47段目、46段目、45段目の信号に順次置き換えて採用していく、最終的には44段目からのクロックを採用するようにすればよい。

【0054】

なお、切替段数NCが遅延段数Vprdより大きい場合には、セレクト段数情報を循環させようすればよい。上述した例で、V1st=20, V2nd=50, 遅延段数30の場合の「-補正」では、セレクト段数情報が50, 49, …, 21, 20, となつた時点で、セレクト段数情報の20とセレクト段数情報の50とは等しい位相であるので、次は49, 48, …とすればよい。すなわち、50, 49, …, 21, 20 (=50), 49, 48…, となる。また、「+補正」においても同様にセレクト段数情報を循環させようすればよい。

【0055】

また、50, 47, 43, …, 22, 19と3段ずつ「-補正」する場合には、V1st=20を超えることになるが、19の次には、 $50 - (20 - 19) - 3 = 46$ とする。すなわち、同期ポイントを超えた分と1つの補正量とを加えた状態にして循環させることで、問題なく循環させることができる。

【0056】

このようなセレクト段数情報を受けたセレクト部460では、ディレイチーン部420からの複数のクロック（図1②）の中から、50段目, 49段目, 48段目, 47段目, …のように選択を行つて、ドットクロック（通常クロック）として出力する（図7（g））。

【0057】

そして、画像形成装置の場合、このように生成したドットクロックを用いて画像信号を生成し、この画像処理に応じたレーザビームをLD470から照射して画像を形成する。

【0058】

〈クロック発生装置の基本動作②：ディザリング・クロック〉

ディザリング・クロックの概要：

このクロック発生装置では、上述した図4に示したように、所定の期間内に、以上の通常クロックとは異なる位相もしくは周期のクロック（ディザリング・クロック）へ切り換えて出力する状態にすることができる。

【0059】

すなわち、以上の図1のクロック発生装置は、出力されるクロックの所定の期

間に、

- ①通常クロックとは異なる位相のクロックを選択して出力する、
 - ②複数のクロックのうち少なくとも2つの互いに位相の異なるクロックを選択・合成して出力する、
- ことが可能である。

【0060】

なお、以上の①の選択・合成については、以下の(a)～(j)のような態様が考えられる。

- (a)複数のクロックのうちから何れかのクロックを選択して出力するとともに、出力されるクロックの所定の期間内に、異なるクロックへ切り換えて出力する、
- (b)出力されるクロックの所定の期間内に、複数のクロックのうち少なくとも2つの互いに位相の異なるクロックを合成して出力する、
- (c)複数のクロックのうちから何れかのクロックを選択して出力する際に、出力されるクロックの所定の期間内に、何れのクロックを選択するかを判断する、
- (d)選択信号に基づいて複数のクロックのうちから何れかのクロックを選択して出力するとともに、出力されるクロックの1周期内の立ち上がり部に相当するクロックと立ち下がり部に相当するクロックとは異なるクロックを選択する、
- (e)選択信号に基づいて複数のクロックのうちから何れかのクロックを選択して出力する際に、出力されるクロックの所定の期間内に、セレクト部へ選択信号を出力する、
- (f)予め設定されている出力クロック情報に基づいて、複数のクロックのうち何れのクロックを選択するかを示す選択信号を生成してセレクト部へ出力する、
- (g)予め設定されている出力クロック情報と、同期信号検出部により検出された位相差状態とに基づいて、複数のクロックのうち何れのクロックを選択するかを示す選択信号を生成してセレクト部へ出力する、
- (h)以上の(f)、(g)の出力クロック情報は、予め記憶部に記憶されている、または、演算回路により設定されている、
- (i)出力されるクロックが、複数のクロックのうち1つのクロックから、他のクロックへと切り換える際には、該1つのクロックと該他のクロックの論理が同じ

である、

(j) 基準クロックを遅延させて位相の異なる複数の遅延クロックを生成し、基準クロックと複数の遅延クロックとのうちから何れかのクロックを選択する、

なお、上述した通常クロックは図8 (a) に示すように、周期 t_1 は一定、かつ $t_2 = t_3$ (または、 t_2 と t_3 の比が一定) であった。これに対し、本実施の形態例のディザリング・クロックの上記②は図8 (b) に示すように、周期 t_1 は可変 ($t_1' \neq t_1''$) とすることが可能であり、さらに、 $t_2' \neq t_3'$ (または、 t_2' と t_3' の比 (デューティ) が可変) とすることが可能である。

【0061】

ディザリング・クロックの発生：

CPU401からの領域データ (図1⑤：開始領域データと終了領域データ) を受けて、制御カウンタ450がディザリング・クロックへ切り換える領域を示す領域情報 (図1⑥) を生成しており、この領域情報 (図1⑥) により切替制御部440がディザリング・クロックの生成 (選択・合成) の指示をセレクト部460に対して行う。

【0062】

ここで、単に位相が異なるクロックに関しては、CPU401からの指示に基づいて上述したセレクト段数情報Fsyncをシフトさせればよいため、詳細説明は省略する。

【0063】

図9は上記ディザリング・クロック② (複数のクロックのうち少なくとも2つの互いに位相の異なるクロックを選択・合成して生成) の様子を模式的に簡略化して示すタイムチャートである。

【0064】

ここでは、基準クロックCLK (図9 (a))、複数のクロックとしての遅延クロックDLn-1 (図9 (b))、複数のクロックとしての遅延クロックDLn (図9 (c))、複数のクロックとしての遅延クロックDLn+1 (図9 (d))、および、複数のクロックのうち少なくとも2つの互いに位相の異なるクロック

が選択・合成された出力クロック（図9（e））を示している。

【0065】

この図9では説明を簡単にするため、複数のクロックとして $D L_{n-1} \sim D L_{n+1}$ の3クロックを示している。そして、出力されるクロック（出力クロック）の所定の期間内に、複数のクロックのうち少なくとも2つの互いに位相の異なるクロックの立ち上がりと立ち下がりとから選択し、選択結果を合成することで、図9（e）に示す出力クロック $C L K'$ を生成している。

【0066】

この結果、図4（b）に示したような状態、すなわち、クロック周期 t_1 を可変にして、さらに、クロックのデューティを可変にすることが可能になる。

また、この実施の形態例では、出力クロックの所定の期間内に、複数のクロックのうち少なくとも2つの互いに位相の異なるクロックを選択・合成しているため、クロックの立ち上がりや立ち下がりに関して、1クロックごとに任意の位置に制御することが可能になる。

【0067】

以上のように複数のクロックの選択によって所望の立ち上がりや立ち下がりの出力クロックを生成するため、CPU401からのシフト情報として、シフト量情報（セレクト段数の間隔の情報）、シフト回数情報（動作を繰り返す情報）、シフトモード情報（周期を増加（現象）させるための情報）などが、切替制御部440に与えられる。なお、CPU401は内蔵あるいは外付けのROMやテーブルといった記憶部を参照して、以上のシフト情報（出力クロック情報）を生成する。

【0068】

そして、切替制御部440は、以上のシフト情報に従って、複数のクロック（図1②）の中からどの位相のクロックを選択すべきかのセレクト段数情報（図1⑦）をセレクト部460に対して出力する。そして、セレクト部460は、切替制御部440からのセレクト段数情報を受け、複数のクロックの中から、所定の期間内に通常とは異なる位相もしくは周期のクロックへ切り換えて出力する状態になるようにクロックを選択し、出力クロック（ディザリング・クロック）を出

力する。

【0069】

なお、図9において、具体的には、選択される双方のクロック間で論理が同じ（HとH（図9①）、あるいは、LとL（図9②））のように、ディザリング・クロックを生成するための複数のクロックの選択は、基準クロックの1/4付近のタイミング（図9①）あるいは基準クロックの3/4付近のタイミング（図9②）で行う。このようにすると、ノイズが発生せず安定した動作が実現できる。図9の場合には、HとHである①付近で複数のクロックの選択を行った場合の例を示している。すなわち、セレクト部460で、出力されるクロックが、複数のクロックのうち1つのクロックから、他のクロックへと切り換える際には、該1つのクロックと該他のクロックの論理が同じであることを特徴としている。

【0070】

また、この図9で示したものでは3種類のクロックから出力クロックの立ち上がりと立ち下がりとを決定するようにしているが、実際にはディレイチェーン部420からの多数のクロックから選択するので、出力クロックの立ち上がりや立ち下がりに関して、1クロックごとに任意の位置に制御することが可能になる。

【0071】

また、図10は第1同期ポイント情報V1st=8、第2同期ポイント情報V2nd=19、遅延段数Vprd=11、の場合におけるシフト情報の各種の状態を示したタイムチャートである。

【0072】

ここでは、信号制御が行われない場合のFsync（図10（d））、信号制御が+方向に1回行われる場合のFsync（図10（e））、信号制御が一方向に1回行われる場合のFsync（図10（f））、信号制御が±方向に1回行われる場合のFsync（図10（g））、信号制御が+方向に2回行われる場合のFsync（図10（h））、信号制御が-方向に2回行われる場合のFsync（図10（i））、信号制御がランダム方向に1回行われる場合のFsync（図10（j））の様子を示している。

【0073】

以上のようにして、出力されるクロックの所定の期間内に、複数のクロックのうち少なくとも2つの互いに位相の異なるクロックを選択・合成して出力することにより、出力クロック（ディザリング・クロック）の周波数をある程度変更することが可能である。

【0074】

この場合に、図11（a）のように、出力クロックの周波数を正弦波の形に変化させ、周波数変調と同様な結果を得ることが可能である。なお、実際には、デジタル回路で実行するため、細かくみると図11（b）のような状態で周波数偏差が変化している。なお、ここでは正弦波の例を示したが、三角波、矩形波、その他の任意の形状であってもよい。このような制御のため、CPU401は内蔵あるいは外付けのROMやテーブルといった記憶部を参照して、以上の正弦波や三角波、あるいは、矩形波やその他の任意の波形を生成するためのシフト情報（出力クロック情報）を生成する。

【0075】

以上の場合に、周波数変調の場合と同様に周波数偏差が生じているため、出力クロックの周波数帯域が広がることになる。この結果、クロックもしくはその高調波によって生じる電磁放射のスペクトルが広がると共に、ピークの電界強度が低下することになる（図12参照）。これにより、本実施の形態例のクロック発生装置を、各種の機器のクロック発生部にEMI対策として用いると良好な結果が得られる。

【0076】

尚、以上は周期や周波数を時刻に応じて刻々と変化させるディザリング・クロックの場合の動作例であるが、一定の通常より高い周波数（短い周期）のクロックについても同様の手順で生成することが可能である。

【0077】

〈その他の実施の形態例：基板〉

そして、本実施の形態例のクロック発生装置、およびクロック発生装置を備えた回路基板は、全体がデジタル回路で構成されているため、精度の管理が容易である。また、デジタル回路であるため、扱いが容易になるという利点もある

【0078】

また、以上の構成で、基準クロック発生部だけ、ディレイチェーン部だけ、各制御部だけ、セレクト部だけ、あるいはCPUだけというように、それぞれを独立して配置してもよいが、本実施の形態例の各部はデジタル回路であるため、それを組み合わせて1チップの集積回路として配置することができる。この場合には、集積回路としたことで小型化が実現でき、取り扱いも容易になるという利点がある。さらに、以上のそれぞれの構成要素の一部を兼用したデバイスにより配置することも可能である。また、本実施の形態例のクロック発生装置を、他のデジタル回路と同一基板上に配置することも可能である。

【0079】**【発明の効果】**

以上詳細に説明したように、本発明によれば、任意の時間でクロックパルスの周期または位相を制御することが可能であってクロック発生回路全体を1チップの集積回路にすることが可能なクロック発生装置、基板および画像形成装置ならびにクロック発生方法を実現できる。

【図面の簡単な説明】**【図1】**

本発明の一実施の形態例のクロック発生装置の全体の電気的構成を示す構成図である。

【図2】

本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図3】

本発明の一実施の形態例のクロック発生装置の主要部の電気的構成を示す構成図である。

【図4】

本発明の一実施の形態例のクロック発生装置の動作を説明する説明図である。

【図5】

本発明の一実施の形態例のクロック発生回路を適用する画像形成装置の光学部の構成を示す構成図である。

【図6】

本発明の実施の形態例のずれ検出の様子を示す説明図である。

【図7】

本発明の一実施の形態例のクロック発生回路の動作状態を説明するタイムチャートである。

【図8】

本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図9】

本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図10】

本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図11】

クロック発生装置の変調プロファイルを示す図である。

【図12】

本発明の一実施の形態例のクロック発生装置が発生するディザリング・クロックの周波数帯域を示す特性図である。

【符号の説明】

401 CPU

410 基準クロック発生部

420 ディレイチェーン部

430 同期信号検出部

440 切替制御部

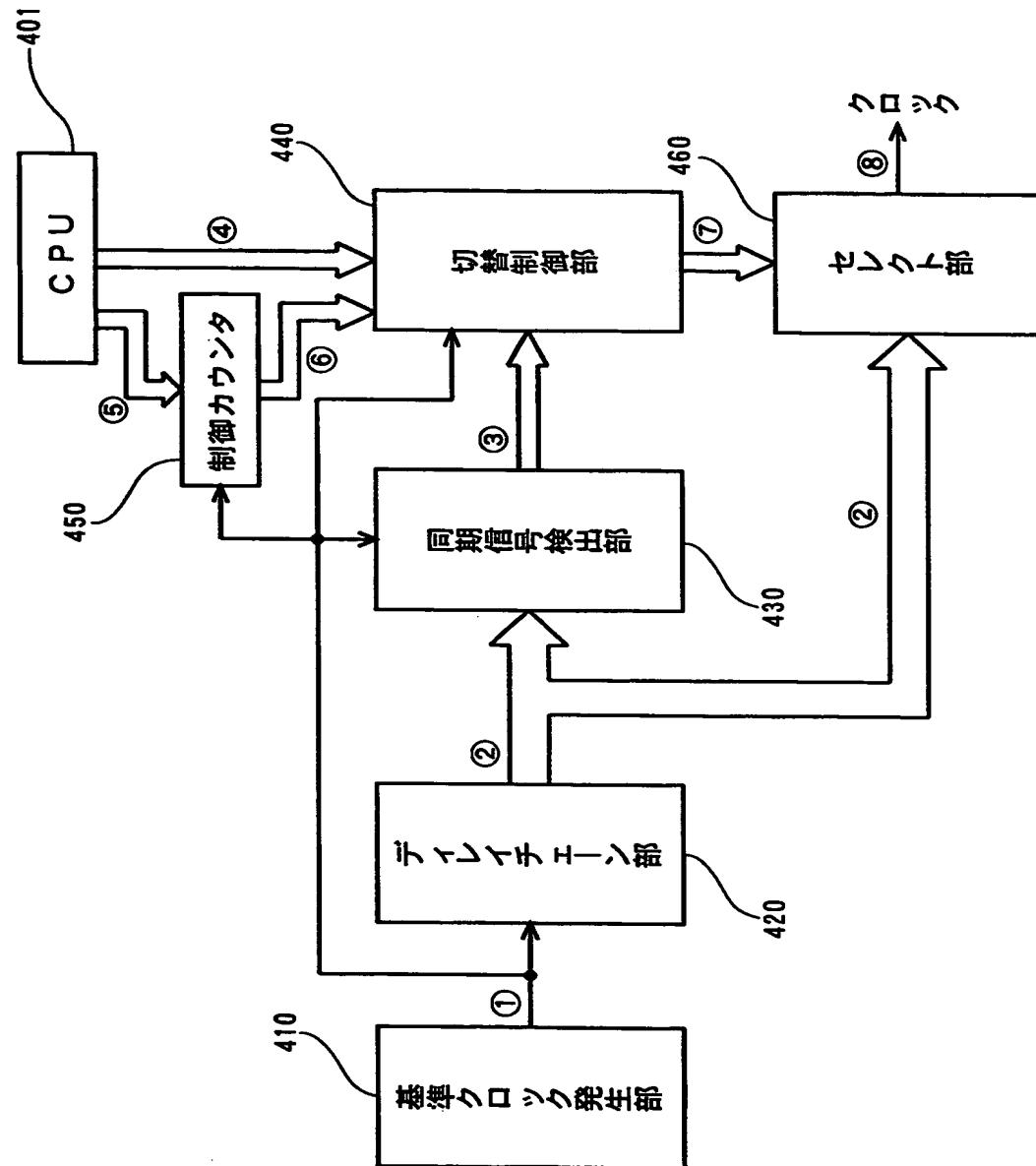
450 制御カウンタ

460 セレクト部

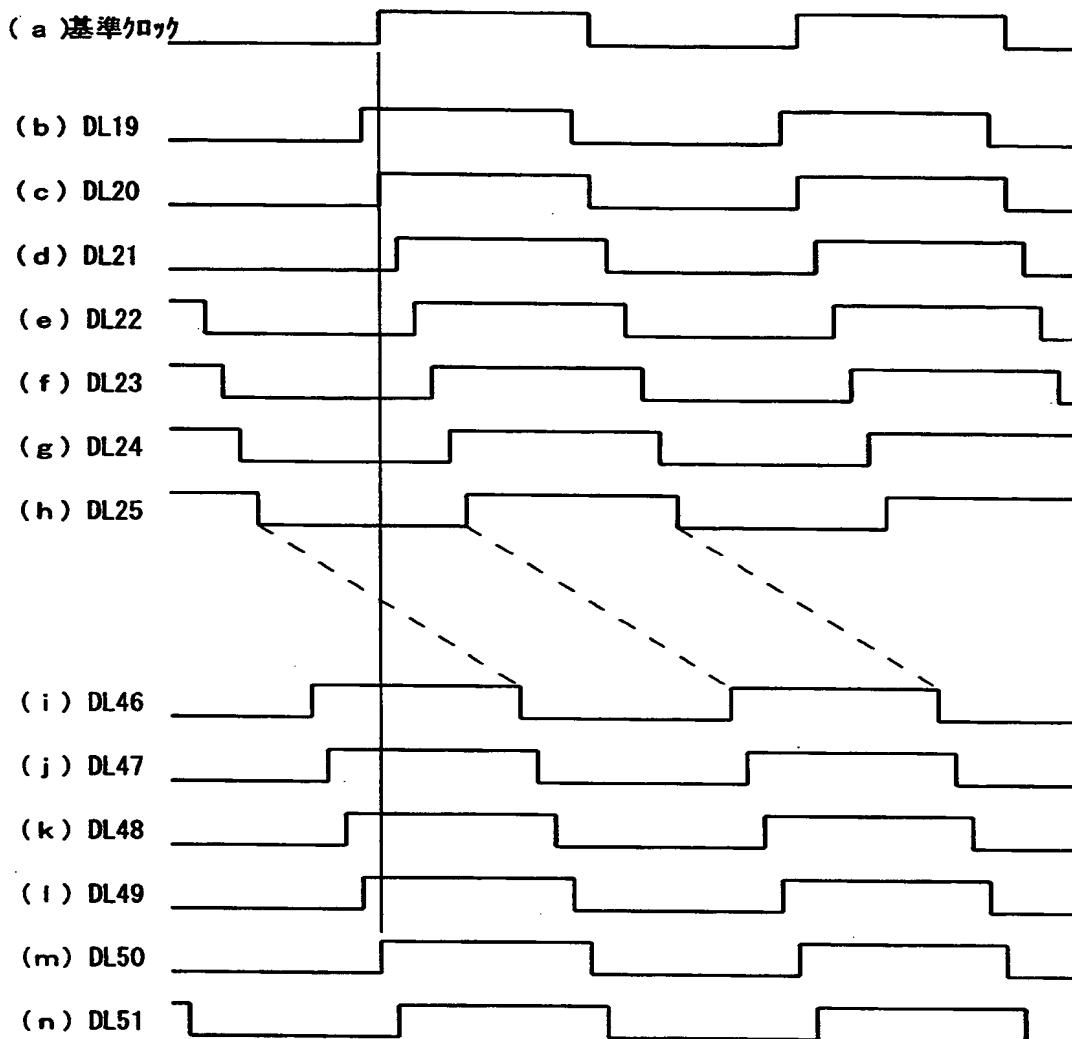
【書類名】

図面

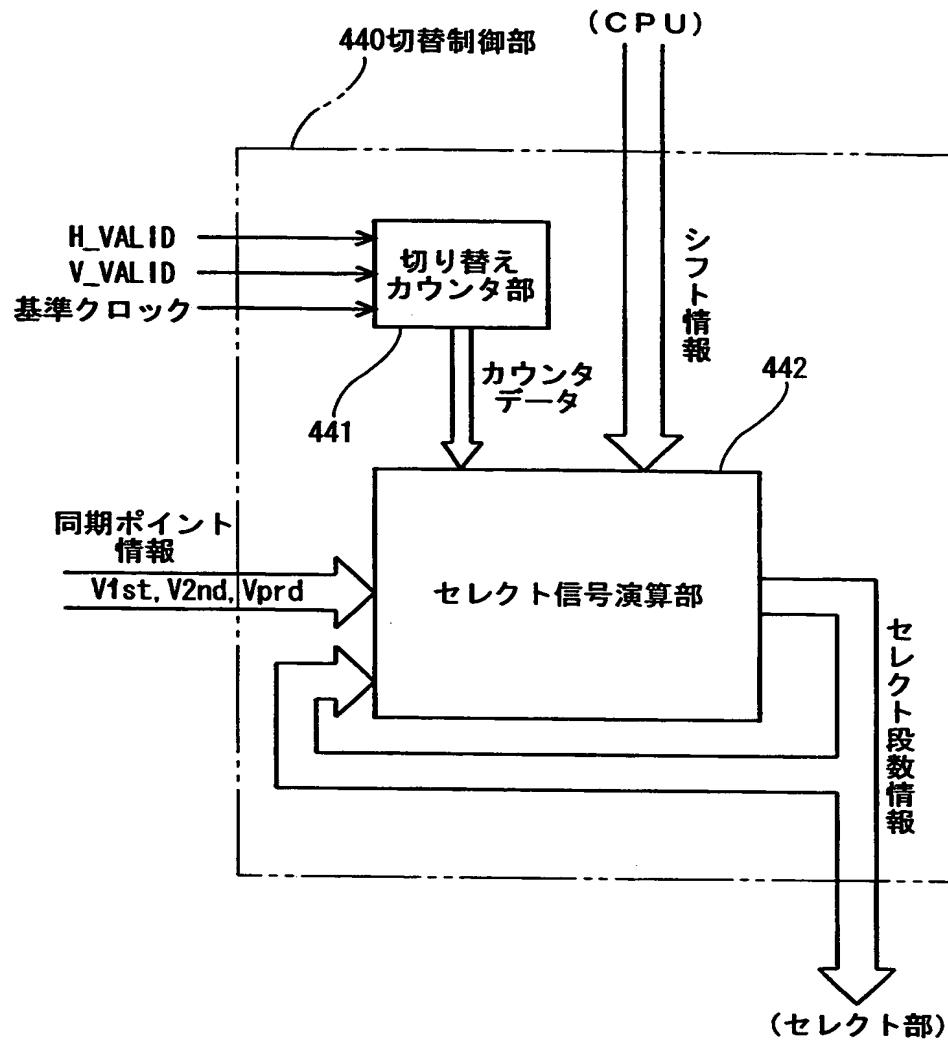
【図1】



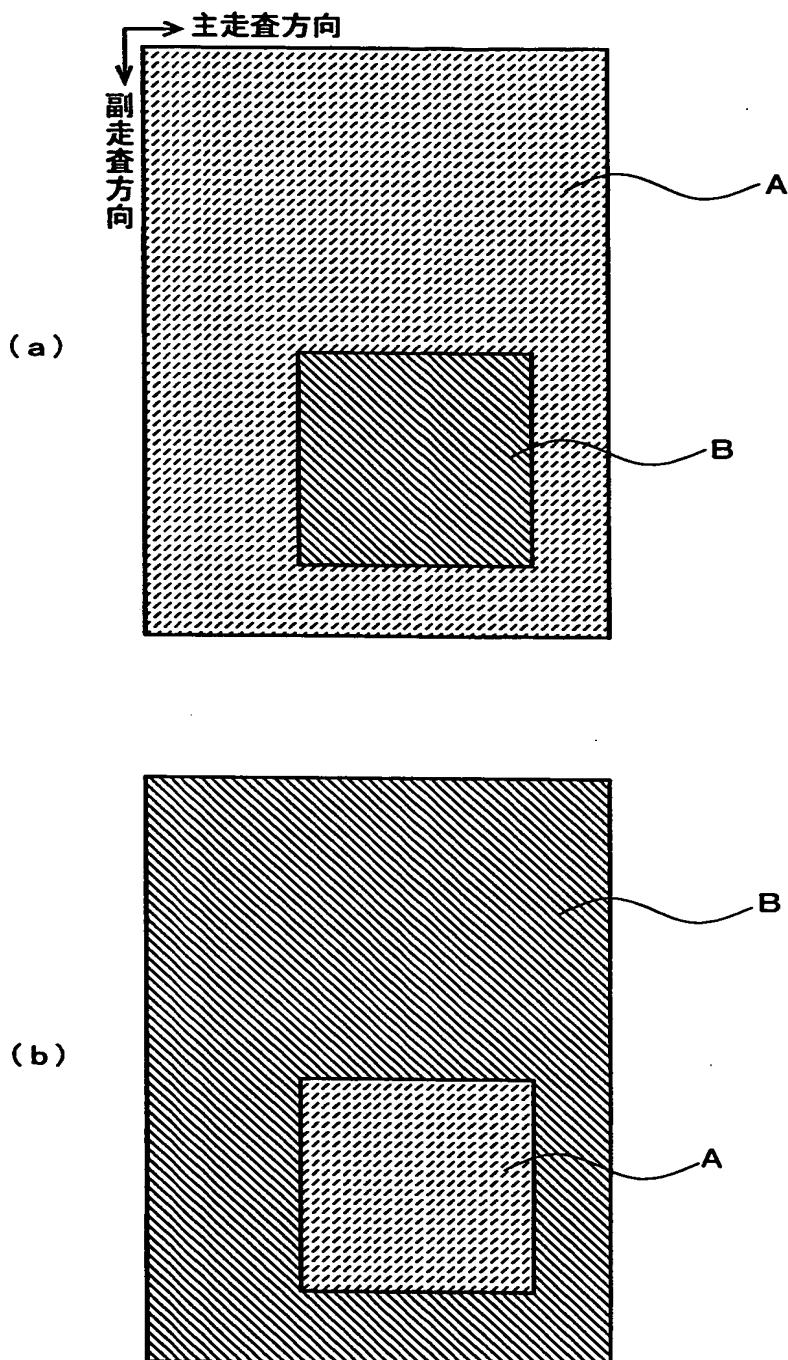
【図2】



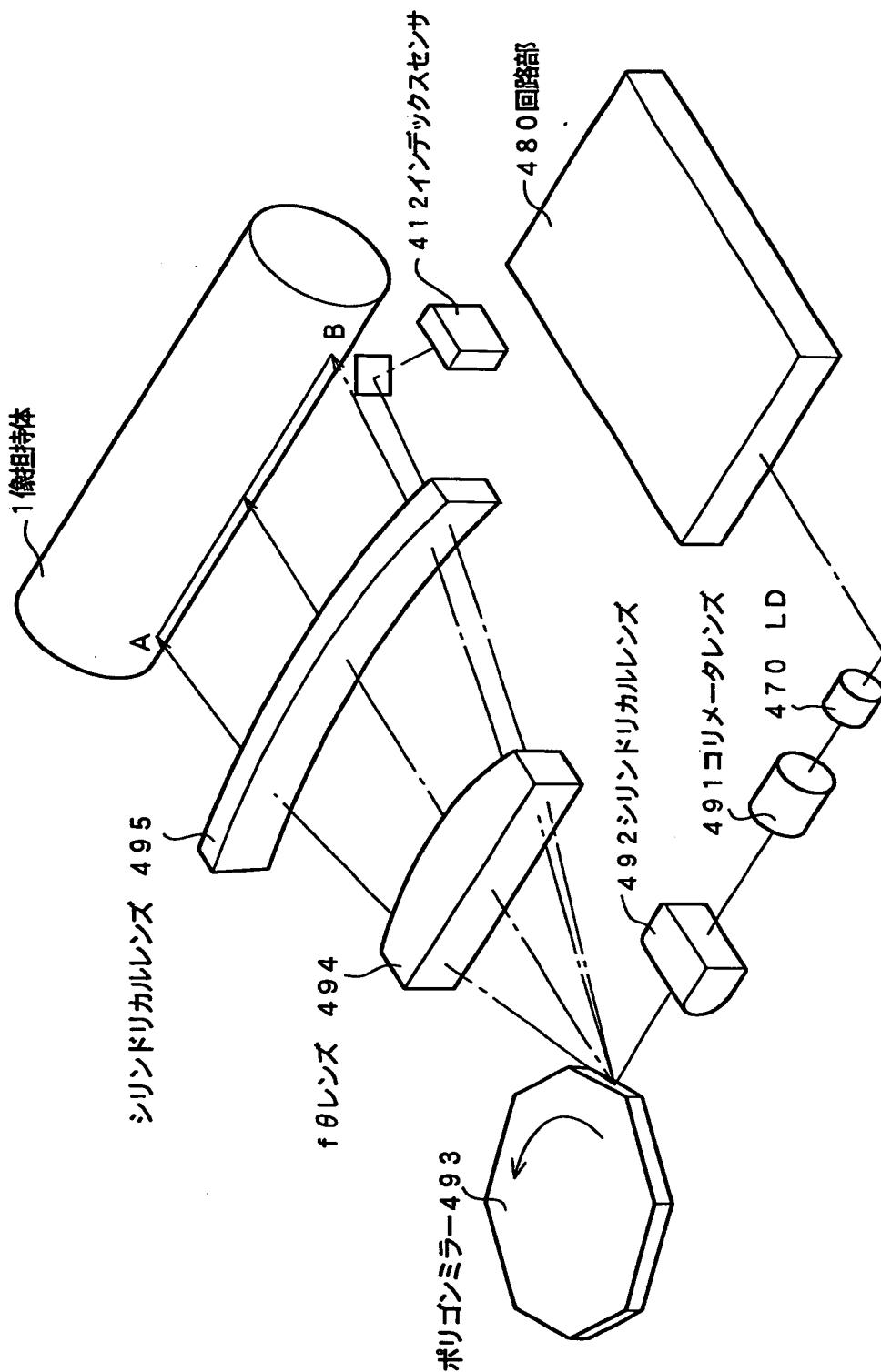
【図3】



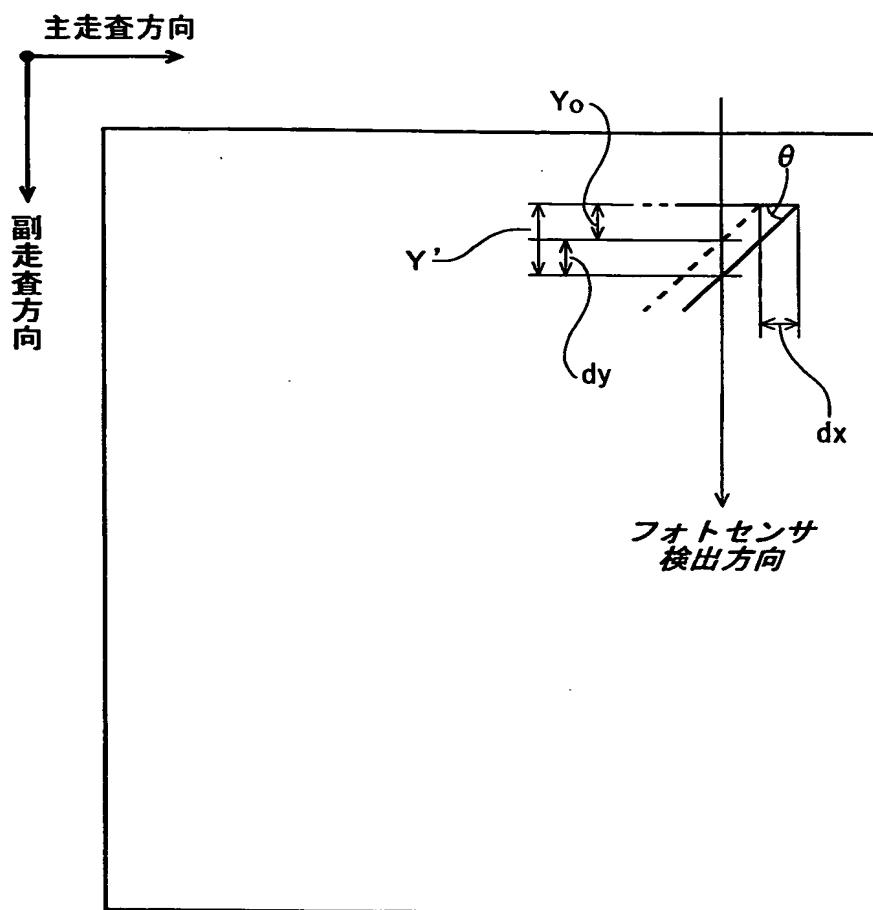
【図4】



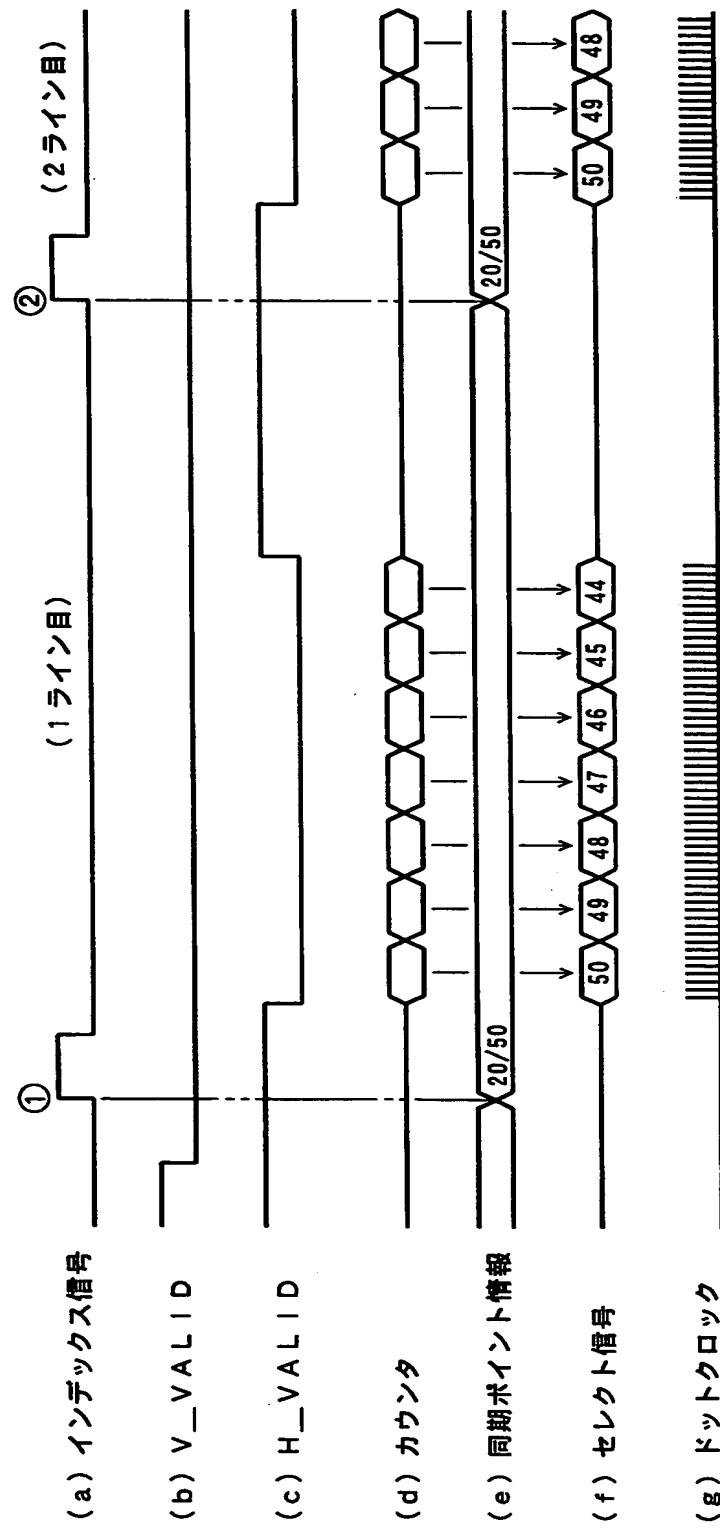
【図5】



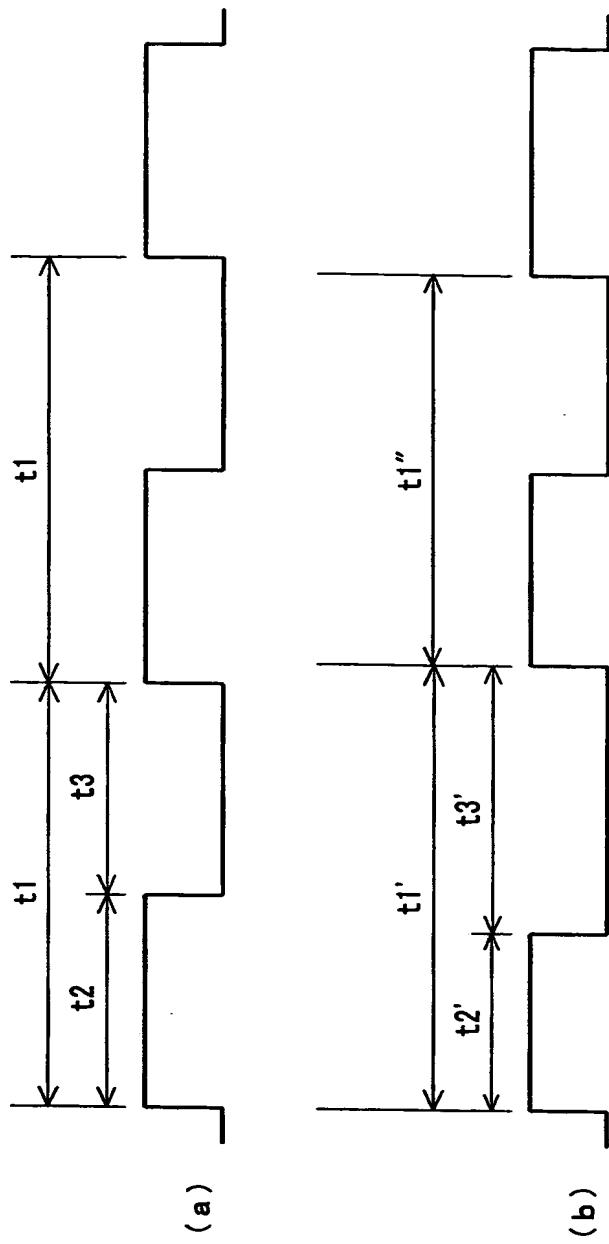
【図6】



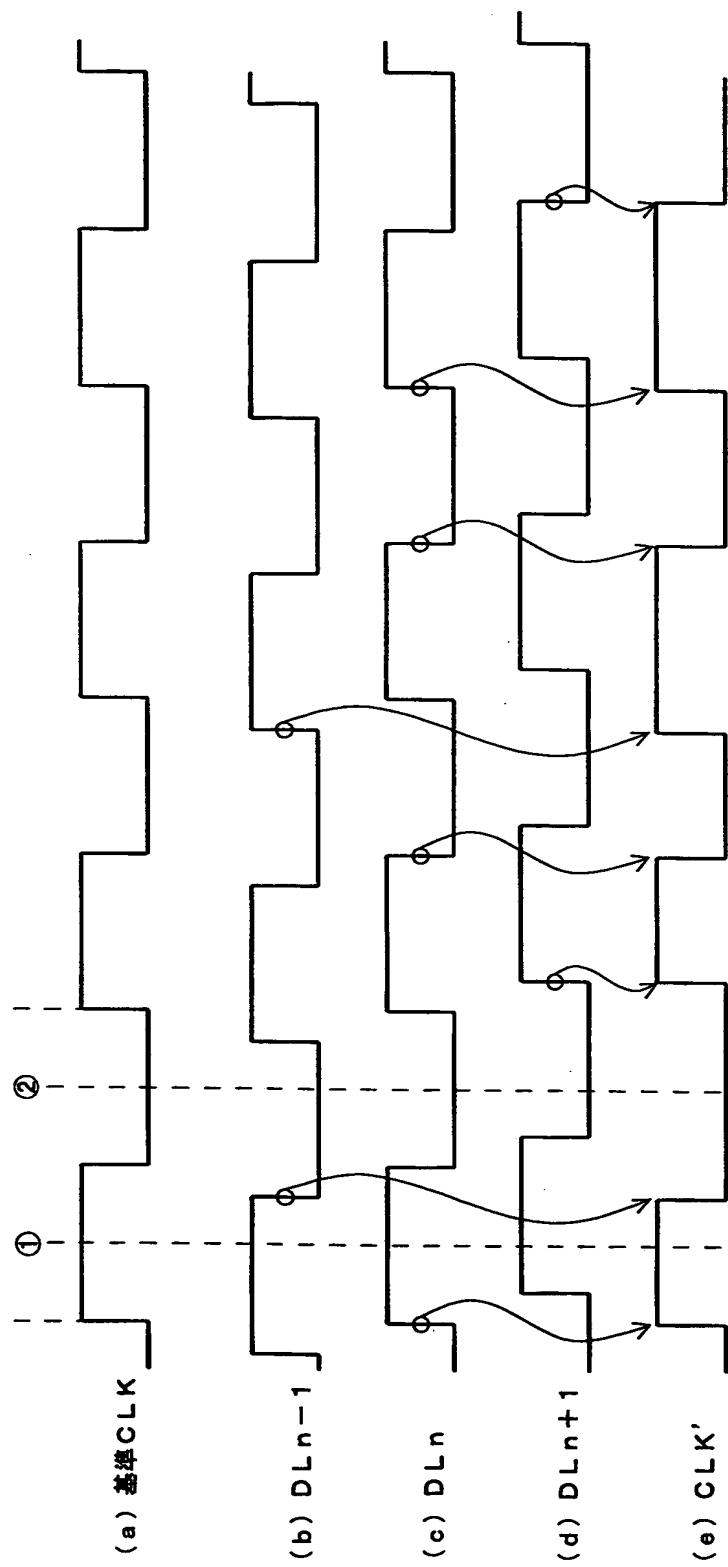
【図7】



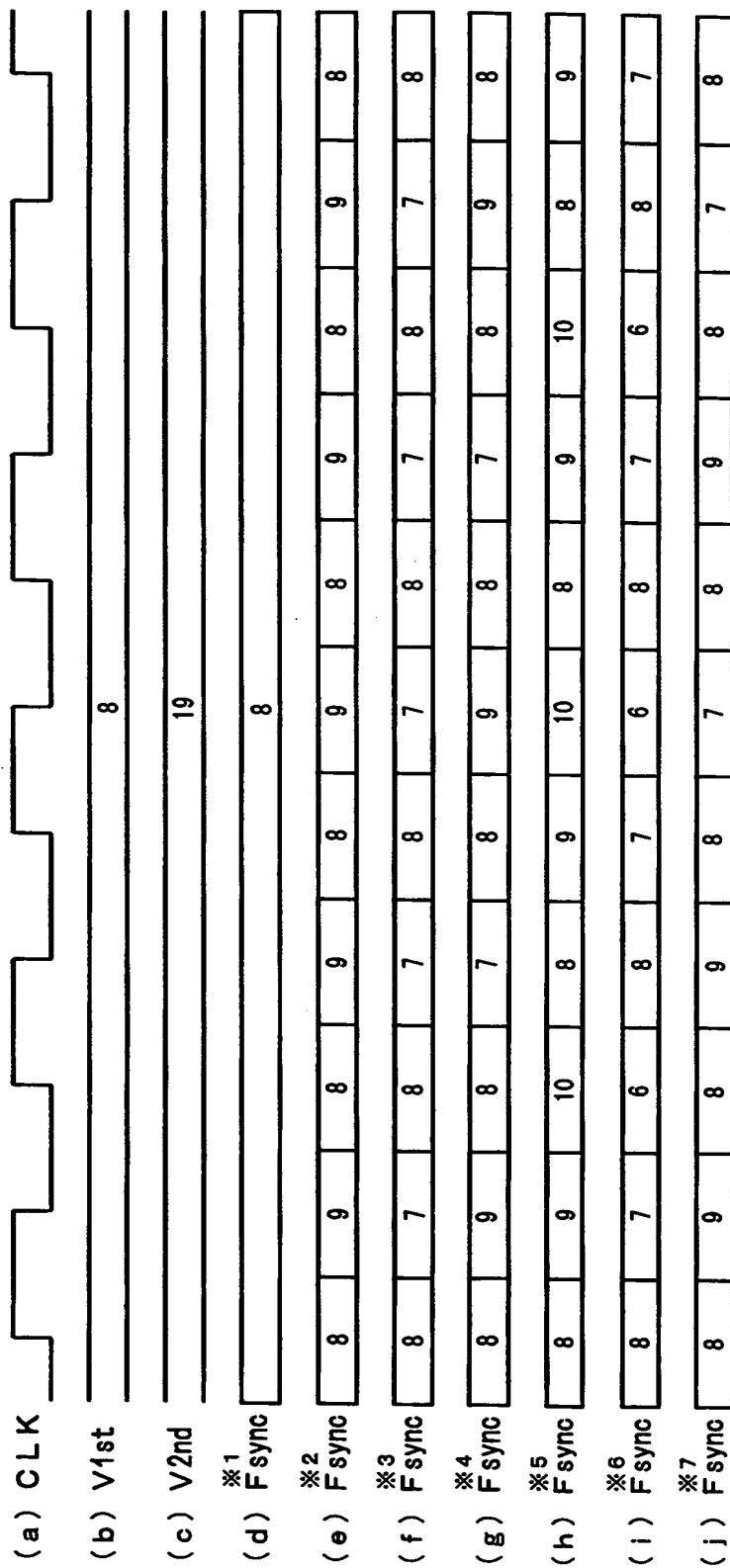
【図8】



【図9】



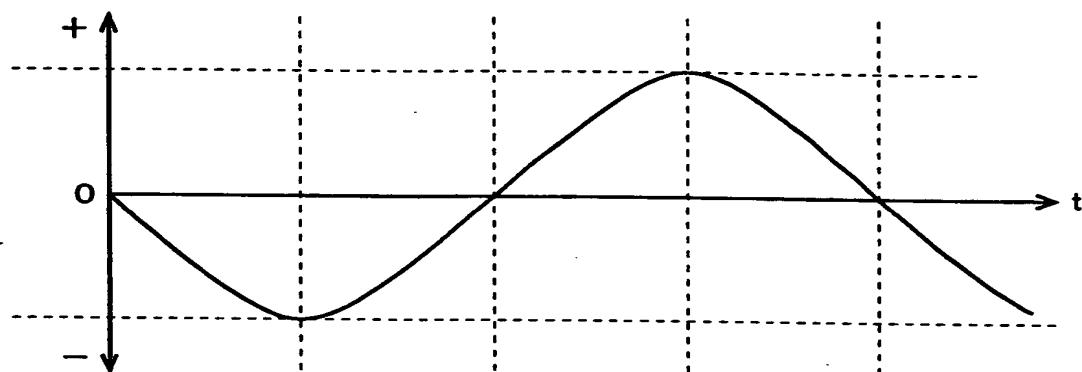
【図10】



- ※1 [REV/ICEdata=0]
 - ※2 [REV/ICEdata=1, TIMESdata=1, MODEdata=00]
 - ※3 [REV/ICEdata=1, TIMESdata=1, MODEdata=11]
 - ※4 [REV/ICEdata=1, TIMESdata=1, MODEdata=01]
 - ※5 [REV/ICEdata=1, TIMESdata=2, MODEdata=00]
 - ※6 [REV/ICEdata=1, TIMESdata=2, MODEdata=11]
 - ※7 [REV/ICEdata=1, TIMESdata=1, MODEdata=10]
- ※1 個号制御が行われない場合のF sync
- ※2 個号制御が+方向に1回行われる場合のF sync
- ※3 個号制御が-方向に1回行われる場合のF sync
- ※4 個号制御が±方向に1回行われる場合のF sync
- ※5 個号制御が+方向に2回行われる場合のF sync
- ※6 個号制御が-方向に2回行われる場合のF sync
- ※7 個号制御がランダムに1回行われる場合のF sync

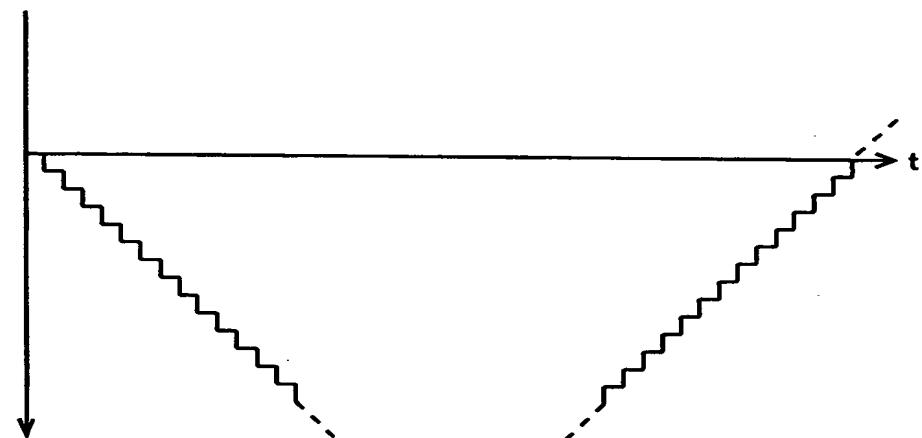
【図11】

周波数偏差 (Δf)



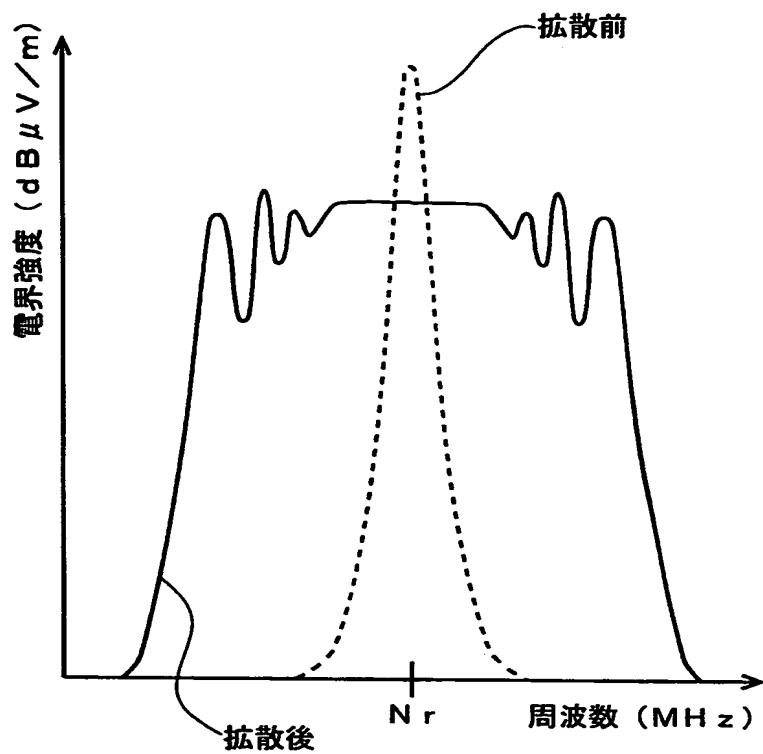
(a)

周波数偏差 (Δf)



(b)

【図12】



【書類名】 要約書

【要約】

【課題】 任意の時間でクロックパルスの周期または位相を制御することが可能であってクロック発生回路全体を1チップの集積回路にすることが可能なクロック発生装置、基板および画像形成装置ならびにクロック発生方法を提供する。

【解決手段】 位相の異なる複数のクロックを生成するクロック生成部410, 420と、前記複数のクロックのうちから何れかのクロックを選択して出力するとともに、出力されるクロックの所定の期間内に、異なる位相もしくは周期のクロックへ切り換えて出力するセレクト部460と、を有することを特徴とする。

【選択図】 図1

出願人履歴情報

識別番号 [000001270]

1. 変更年月日 1990年 8月14日

[変更理由] 新規登録

住 所 東京都新宿区西新宿1丁目26番2号

氏 名 コニカ株式会社